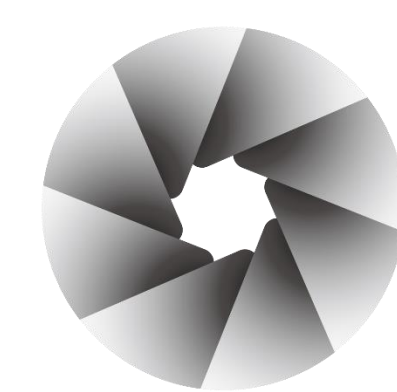
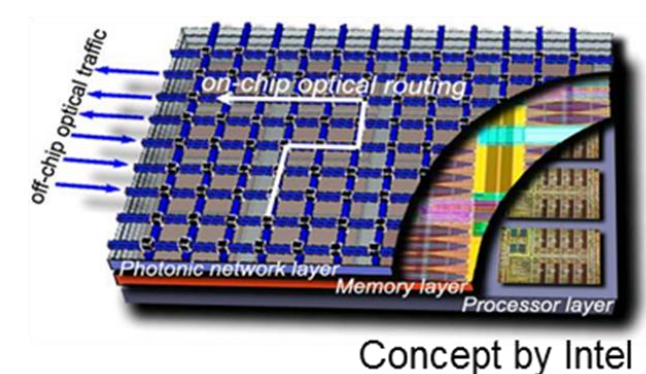


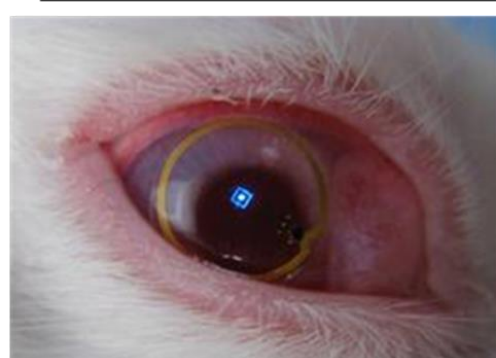


■ 光・電子デバイス/システム集積による新機能

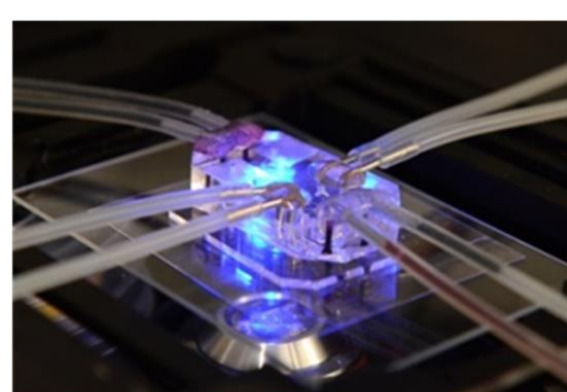
光インターコネクション



マイクロディスプレイ[1]



Lab-on-chip[2]



Optogenetics

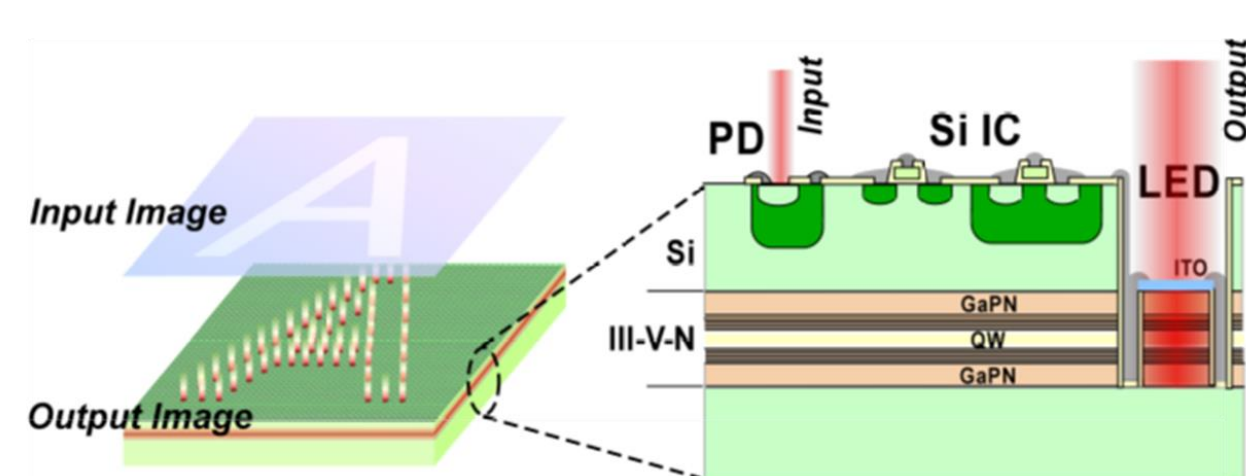


[1] A.R.Lingley et al., J. Micromech. Microeng., 21 (2011) 125014

[2] WYSS INSTITUTE's News, March 18, 2013

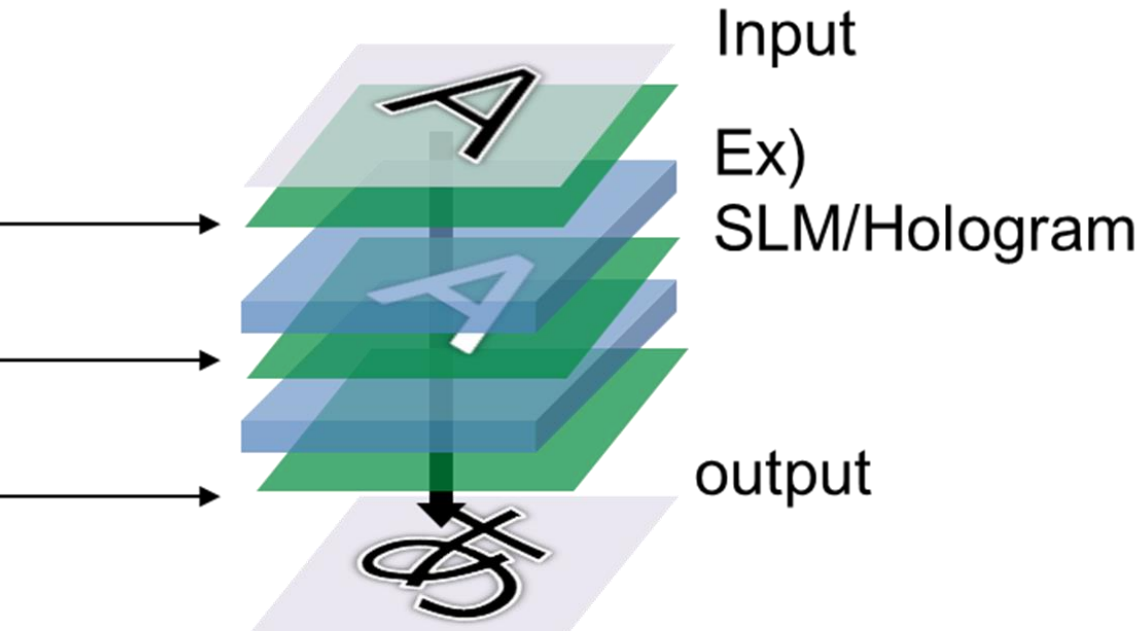
©2014 John Carnett/Popular Science.

2Dエッジ検出網膜チップ[3]



[3] H. Yonezu et al., Opt. Mat., 27 (2005) 799

並列光情報プロセッサ[4]



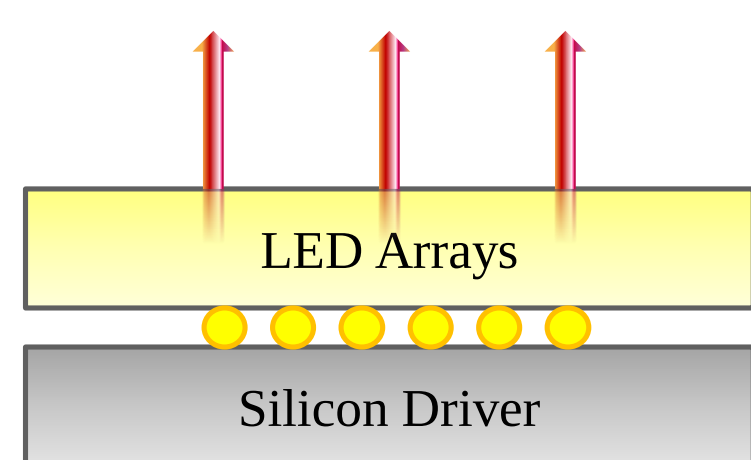
[4] M. Ishikawa et al., Tech. Rep. IEICE, LQE99 (2000) 49

光素子と集積回路の一体化技術の比較

方法	集積素子数の規模	Si-LSI作製技術との共存	LED/LDの信頼性
Si(100)上GaN(選択)成長	○ 結晶成長と製造工程の整合必要	△ GaN層成長中のSi基板汚染	△ (100)上のGaN成長品質？
LD/LED LSI チップボンディング	△ 大規模化困難	◎ LSI作製後に貼り付け	○ 貼り付け法に依存
Si GaN ウエハボンディング	◎ 製造工程の整合のみを考慮	? CMOSファウンドリでの作製	? InGaN発光層の劣化

目的: マイクロLEDアレイと駆動回路の大規模一体化の基盤技術開発
チップボンディングとウエハボンディングの摘要限界の検証

(1) 大規模高密度3次元積層(chip bonding)



利点: 既存技術による一体化

課題: 微小接点の安定的接続技術

大きなLED/LD駆動電流に対応した配線方式

Si駆動IC
(駆動Tr. 制御回路、大電流密度対応)

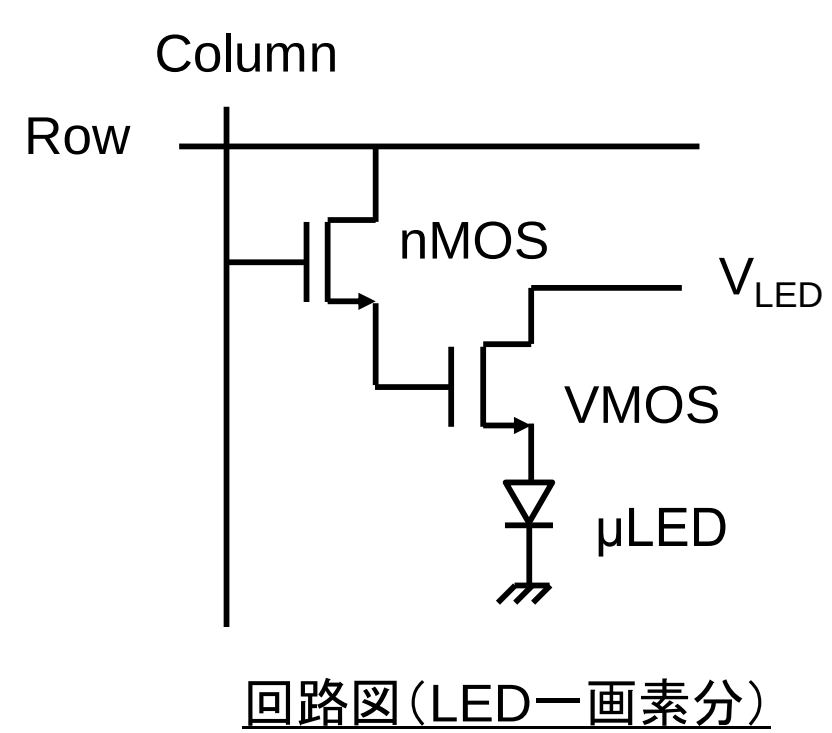
◆大電流密度対応の駆動回路の開発

・画素選択制御信号配線系とLED駆動電流供給系の分離

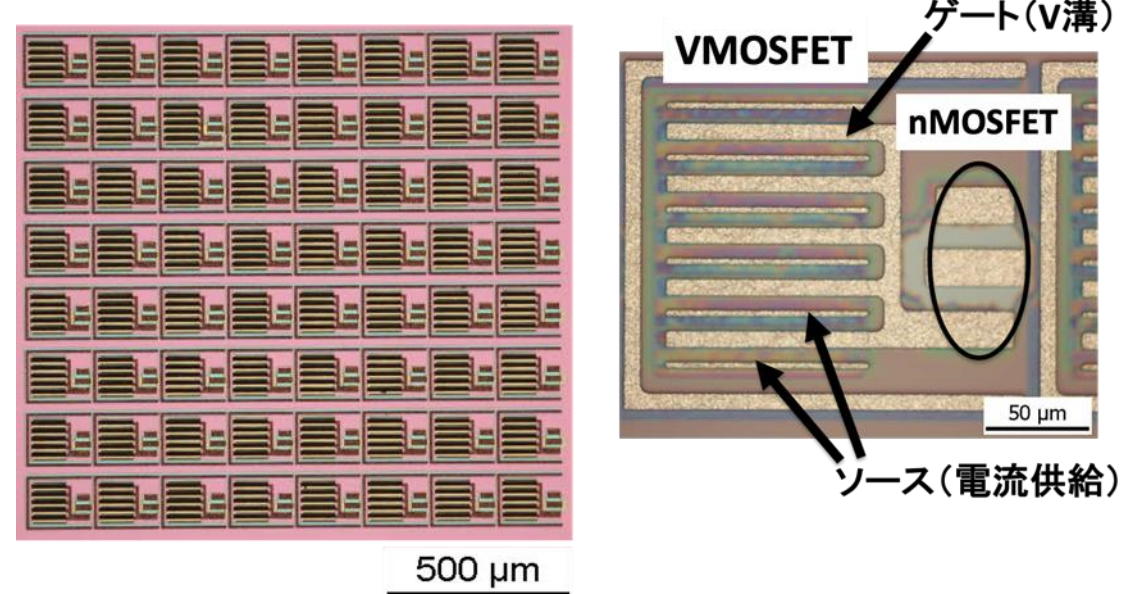
チップ面内配線: 画素制御信号(CMOS)

LED駆動電流: Si基板裏面から供給(V MOSFET)

・画素選択方式: アクティブマトリックス方式



回路図(LED一画素分)

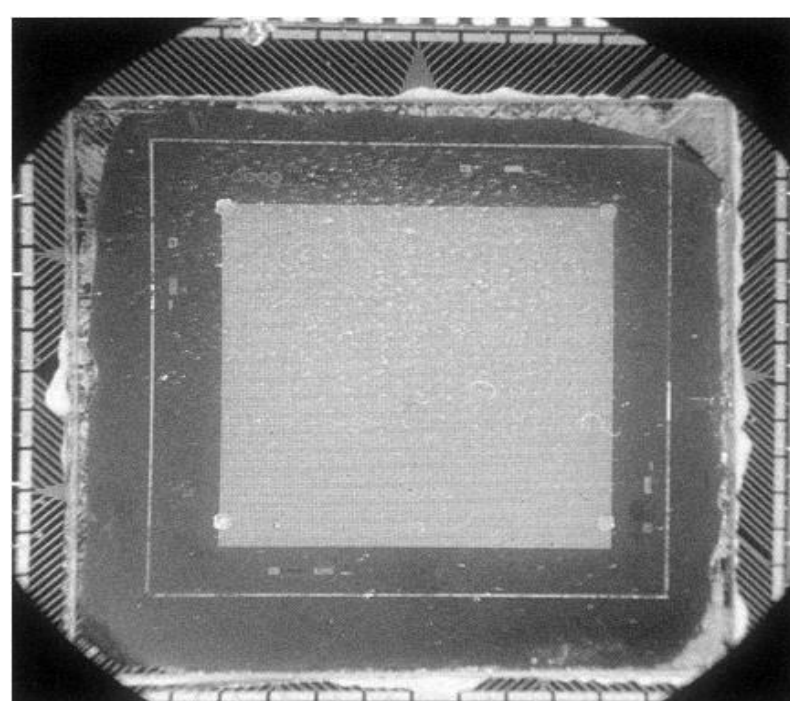


試作駆動IC(8×8画素、100μm□LED)

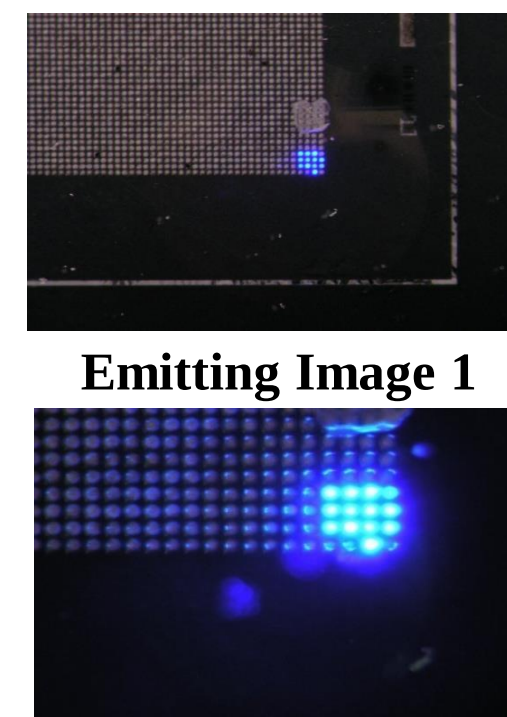
◆微小接点の安定的接続技術の検証

φ30μm μ-LEDアレイとSiドライバとの接続

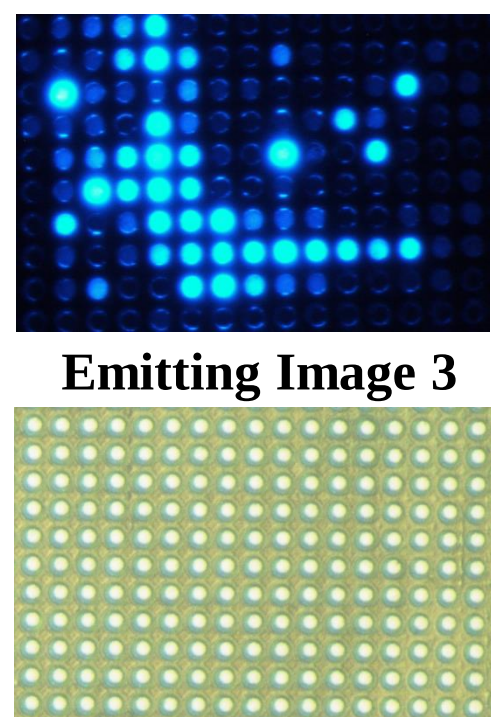
異方性導電性接着剤のフィラーによる絶縁層の破壊と短絡



接続した128x128 LEDアレイと駆動回路



Emitting Image 1



Emitting Image 2

Emitting Image 3

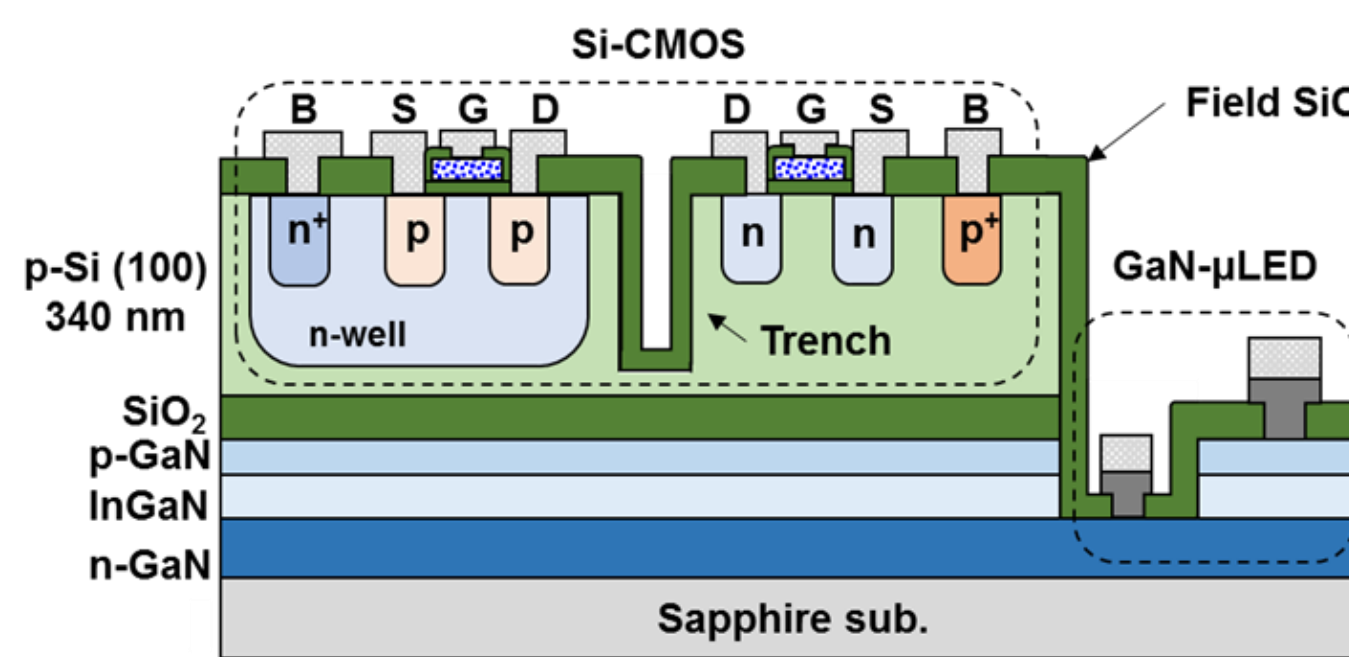
Flip-Chip Bonded Image

次年度以降の検討:

金属パッドの直接接合による微小電極接合技術の開発

表面活性化接合技術のチップボンディングへの摘要

(2) 一体形成(モノリシック)技術開発



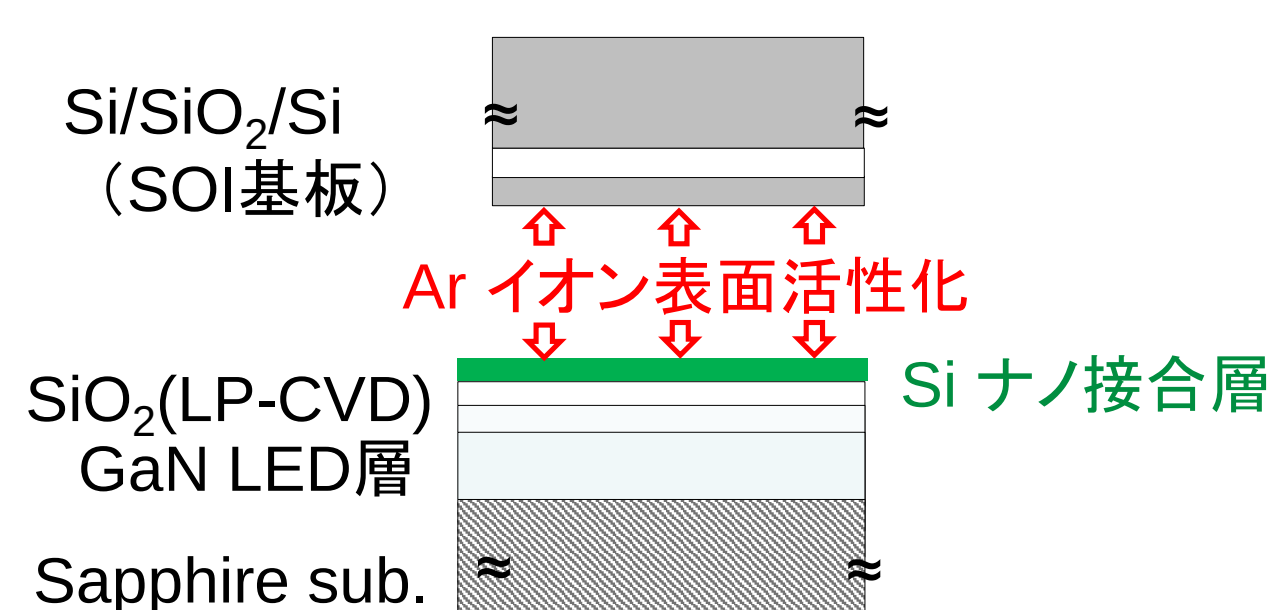
利点: 柔軟な回路素子と発光素子の配置が可能

課題: Si-LSI作製工程とLED/LD作製工程のシームレス集積

相互汚染防止を組み込んだCMOS/LED作製工程の集積化技術の開発

Si / SiO₂ / GaN-LED ウエハの作製: 表面活性化ウエハボンディング技術の摘要

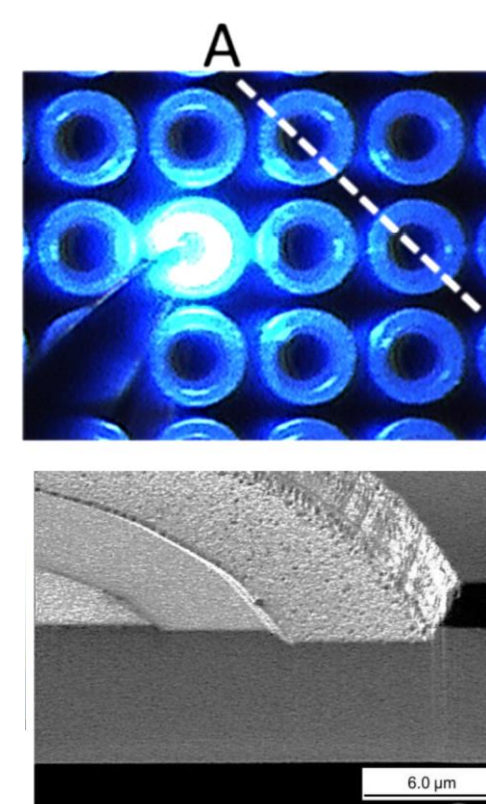
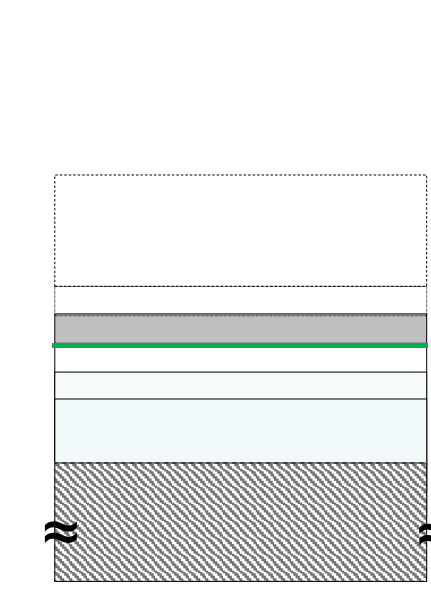
1. 表面活性化



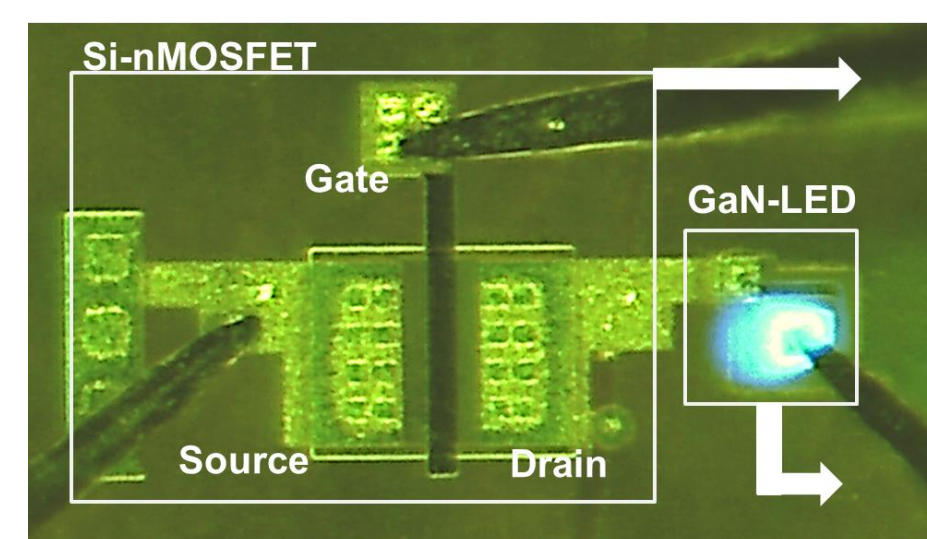
2. 接合

500~12000 N/cm²@RT

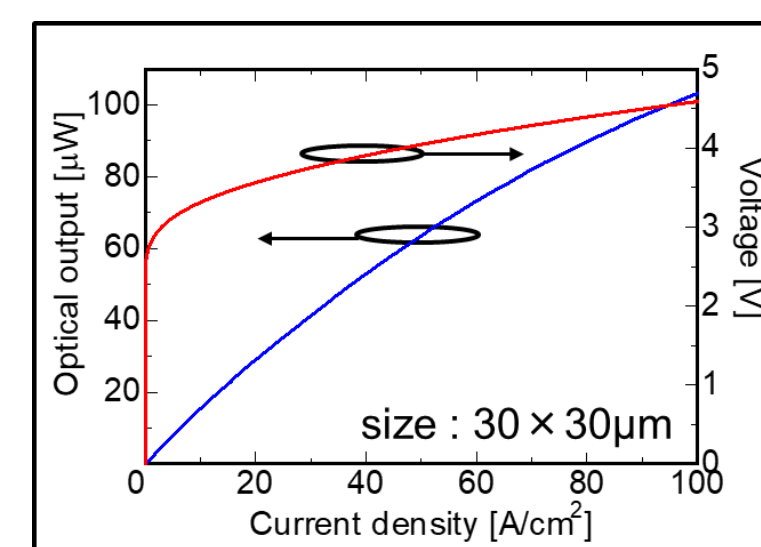
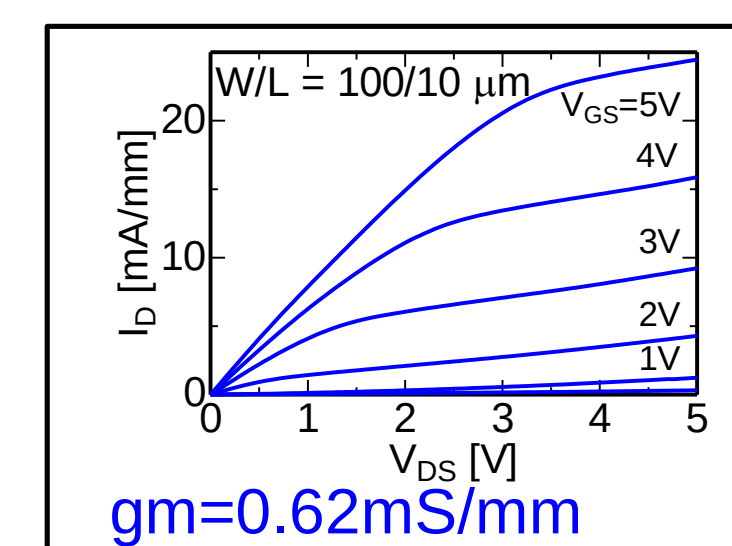
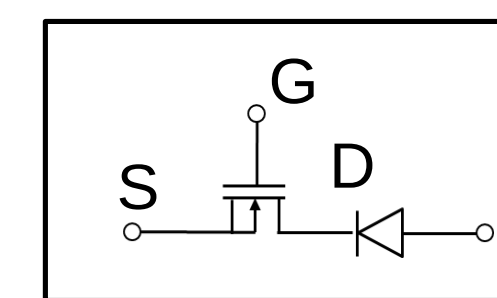
3. Si 支持層の除去



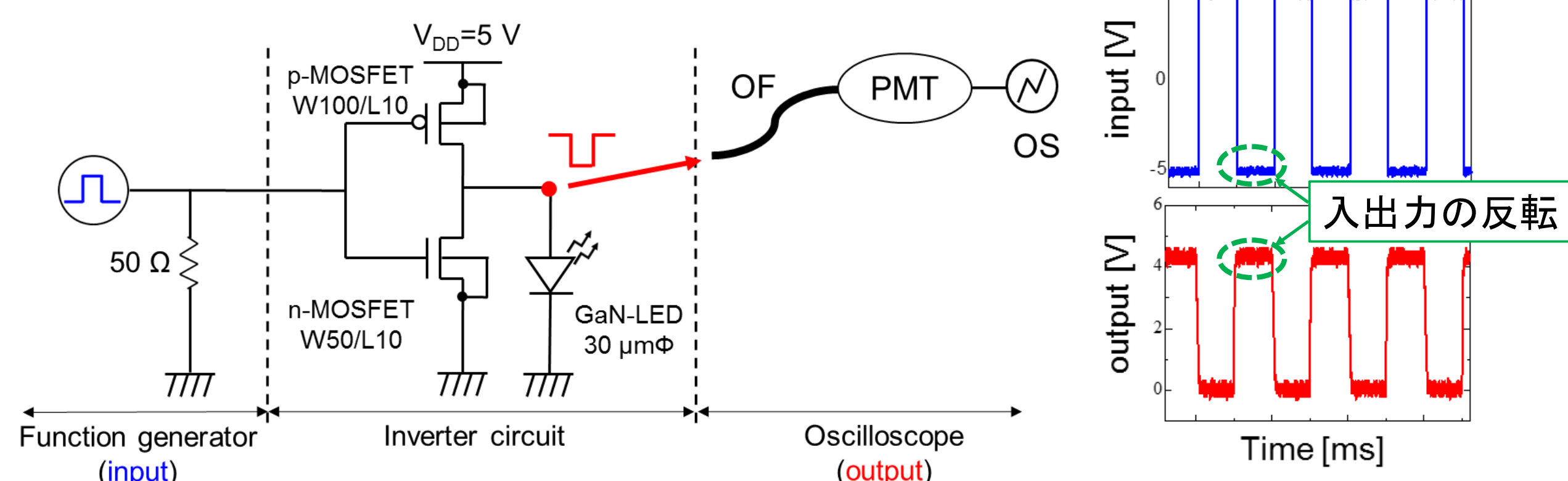
μ-LEDアレイ
(128×128画素, φ30 μm)



LED/nMOS一体部の等価回路



CMOS構成インバータのパルス入出力応答特性



※Si表面保護層+加熱工程前の除洗が有効

CMOS構成インバータの基本動作を確認

⇒ モノリシック型CMOS/LED混載集積回路の実現に期待